

MINIMIZACIJA DINAMIČKE POTROŠNJE IP BLOKA MIKROKONTROLERA

Borisav Jovanović, Predrag Petković, Milunka Damnjanović, Vančo Litovski, *Elektronski Fakultet, Univezitet u Nišu.*

Sadržaj – Napredni metodi projektovanja digitalnih integrisanih kola, koji se oslanjaju na savremene nanometarske procese fabrikacije kola, primenjeni su pri projektovanju novog IP bloka 8051 mikrokontrolera, koji je namenjen za ugradnju u složene sisteme na čipu (SoC). U radu je razmatrana posebno dinamička potrošnja 8051 IP bloka.

1. UVOD

Smanjivanje potrošnje integrisanih kola donosi mnoge prednosti, spomenućemo samo neke od njih: veći stepen integracije sistema, smanjivanje površine čipa, smanjivanje učestalosti otkaza i samim tim, produženje radnog veka uređaja [1], [2]. Problemi vezani za snagu disipacije postaju još značajniji kada digitalno kolo treba da bude ugrađeno u složeni integrisani sistem na čipu (SoC), u kome drugi potrošači (kao što su A/D konvertori) imaju prioritet i teško ih je optimizovati sa stanovišta potrošnje [3].

Digitalna kola mogu se implementirati u različitim tehnološkim procesima. Od izbora tehnološkog procesa zavisi niz bitnih karakteristika, kao što su brzina rada, površina čipa i potrošnja. Često je neohodno, pre implementacije samog kola u nekom procesu, proceniti snagu disipacije i odabrati tehnološki proces tako da projektni uslovi budu ispunjeni a snaga disipacije i cena proizvodnje kola minimizovane.

Pri projektovanju kola metodom standardnih ćelija, koriste se različite tehnike za smanjivanje dinamičke i statičke komponente snage. One uključuju smanjivanje aktivnosti promene logičkih stanja na vezama u kolu, rad kola pri niskim vrednostima napona napajanja i frekvencije taktnog signala, simultanu upotrebu različitih biblioteka standardnih ćelija, isključivanje napona napajanja neaktivnih blokova, itd.

Mikrokontroler (MCU) predstavlja kompleksan digitalni sistem, koji je teško isprojektovati od nule. Zato mali razvojni centri obično počinju razvoj novog mikrokontrolera počevši od nekog javno dostupnog rešenja. Opisano je novo rešenje IP (*Intellectual Property*) bloka 8051 mikrokontrolera, čija je arhitektura prilagođena ugradnji u složena integrisana kola SoC. Pritom se kao početno rešenje koristi opis koji ima standardni 8051 skup instrukcija i namenjen je implementaciji na FPGA čipovima.

U radu je prikazana primena tehnika za smanjenje dinamičke potrošnje pri razvoju novog 8051 mikrokontrolera koji je namenjen ugradnji u SoC kola. Takođe, razmatran je uticaj skaliranja tehnološkog procesa na dinamičku potrošnju mikrokontrolera. Rezultati vezani za procenu snage disipacije dobijeni su implementacijom mikrokontrolera korišćenjem dva različita tehnološka procesa.

2. UZROČNICI POTROŠNJE U INTEGRISANIM KOLIMA

Kada su vrednosti napona napajanja i temperature konstantne, snaga disipacije integrisanog kola linearno se

uvećava sa porastom vrednosti taktne frekvencije. Ekstrapolacijom funkcije snage disipacije od frekvencije do nulte frekvencije dobija se vrednost snage koja je različita od nule i označava se kao statička snaga P_{static} . Komponenta snage koja je proporcionalna frekvenciji označava se kao dinamička snaga $P_{dynamic}$.

$$P = P_{dynamic} + P_{static} \quad (1)$$

Dinamička snaga se sastoji od unutrašnje snage, $P_{internal}$, i snage nastale usled promene logičkih stanja (prekidanja) na vezama, $P_{switching}$:

$$P_{dynamic} = P_{internal} + P_{switching} \quad (2)$$

Unutrašnja snaga uključuje snagu kratkog spoja P_{sc} i snagu nastalu usled promene stanja na vezama (i kapacitivnostima tranzistora) unutar standardnih ćelija $P_{int-switching}$:

$$P_{internal} = P_{int-switching} + V_{DD} I_{SC} \quad (3)$$

Snaga kratkog spoja P_{sc} je posledica kratkog spoja između napona napajanja i mase, tokom kratkog intervala kada PMOS i NMOS tranzistorske mreže istovremeno vode.

$$P_{sc} = \alpha \cdot f_{CLK} \cdot I_{SC} \left(\frac{t_r + t_f}{2} \right) V_{DD} \quad (4)$$

gde α predstavlja faktor aktivnosti prekidanja, f_{CLK} taktnu frekvenciju, I_{SC} intenzitet struje kratkog spoja, t_r i t_f vremena uspostavljanja rastuće i opadajuće ivice signala, a V_{DD} napon napajanja.

Na osnovu (4) se vidi da je P_{sc} direktno srazmerna struji kratkog spoja I_{sc} . P_{sc} je relativno mala i učestvuje u ukupnoj potrošnji do 20%. Snaga P_{sc} se smanjuje kada se smanjuje vreme rastuće i opadajuće ivice signala (jednačina (4)).

Snaga prekidanja $P_{switching}$ čini najveći deo dinamičke potrošnje. Nastaje usled punjenja i pražnjenja kapacitivnosti tokom promene logičkih stanja na izlazima digitalnih kola.

$P_{switching}$ se može izračunati kao:

$$P_{switching} = \alpha \cdot f_{CLK} \cdot C_L \cdot V_{DD}^2 \quad (5)$$

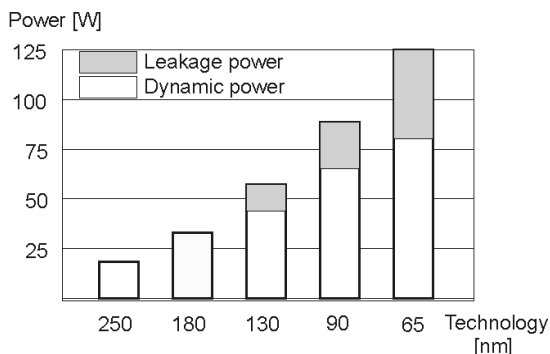
gde α predstavlja faktor aktivnosti prekidanja, C_L kapacitivnost kola, V_{DD} napon napajanja, f_{CLK} taktnu frekvenciju.

Jednačina (5) obuhvata nekoliko efekata. Prvo, C_L predstavlja srednju vrednost kapacitivnosti opterećenja, koje je povezano na izlaz logičkog kola. Zatim, snaga je skalirana faktorom prekidačke aktivnosti α , koja predstavlja verovatnoću promene logičkog nivoa na izlazu kola. Dinamička snaga raste sa povećanjem taktne frekvencije i proporcionalna je kvadratu napona napajanja V_{DD} .

Statička komponenta snage disipacije se uglavnom povezuje sa strujom curenja koja nastaje u MOS tranzistoru kada on radi u podpragovskom režimu [4]. Pored toga, analogni i mešoviti IP blokovi, koji su prisutni u kompleksnim integrisanim kolima, poput A/D konvertora,

izvora referentnog napona i konstantne struje, daju značajan doprinos ukupnoj statičkoj potrošnji kola [5].

U submikronskim tehnologijama smanjena je veličina tranzistora i raste udeo statičke snage u ukupnoj potrošnji kola. Uticaj skaliranja veličine tranzistora na udeo statičke potrošnje čipa prikazan je na Sl.1 (preuzeta iz [6]). Implementacija novih kola i postupaka za upravljanje statičkom potrošnjom je obavezno za sve čipove koji su izrađeni u tehnološkim procesima ispod 90 nm. Pri manjim dužinama kanala MOS tranzistora povećana struja curenja menja postupke projektovanja i utiče na performanse projekata. U nekim projektima statička potrošnja prelazi dinamičku potrošnju i postaje primarni izvor energije disipacije.



Sl. 1. Udeo statičke i dinamičke disipacije čipa koji je implementiran različitim tehnološkim procesima

3. PROJEKTOVANJE IP BLOKA 8051 MIKROKONTROLERA

Iako su 8051 mikrokontroleri odavno dostupni na tržištu kao diskretne komponente, danas se često koriste kao IP (*Intellectual property*) blokovi koji se ugrađuju u složene sisteme integrisane na čipu (SoC). Zbog manje površine čipa koju zauzimaju i uštede u snazi disipacije, IP jezgra 8051 mikrokontrolera se radije koriste umesto 32-bitnih procesora. 8051 jezgra, dostupna u obliku VHDL i Verilog opisa ili netliste standardnih ćelija, integrišu se u mnoge *Embedded* sisteme, od USB Flash memorija do kompleksnih bežičnih telekomunikacionih sistema. Mi smo to iskusili pri projektovanju Integrisanog merača potrošnje električne energije [3]. Jedan od blokova SoC kola Integrisanog merača jeste upravo 8051 IP blok. Takođe, kolo 8051 mikrokontrolera je ugrađeno u telekomunikacioni SoC [7].

U odnosu na originalnu verziju mikrokontrolera iz 1980. godine, savremena IP jezgra imaju unapređenu, bržu arhitekturu. Skup instrukcija je ostao isti. Brzina se ogleda u izvršenju instrukcija i znatno većoj taktnoj frekvenciji. Vreme izvršenja jedne 8-bitne instrukcije kod originalnog Intel 8051 je 12 taktnih ciklusa. Recimo, pri taktnoj frekvenciji od 12 MHz, MCU izvršava milion instrukcija u sekundi. Nasuprot tome, savremena 8051 jezgra izvršavaju jednu 8-bitnu instrukciju u samo jednom taktnom ciklusu i imaju maksimalnu taktnu frekvenciju od više stotina MHz.

Za polaznu osnovu u razvoju novog 8051 mikrokontrolera, koji je implementiran metodom standardnih ćelija, uzet je *Register transfer level* (RTL) opis [8] koji je prevashodno namenjen implementaciji na FPGA. Polazno rešenje sadrži osnovne perifernijske jedinice:

- komunikacioni modul - Asynchronous Universal Receiver/Transmitter (UART),
- kola tajmera/brojača
- digitalne ulazno/izlazne portove.

Da bi se ugradio u SoC [3], [7], originalni RTL opis kola je značajno izmenjen. Glavne promene se odnose na:

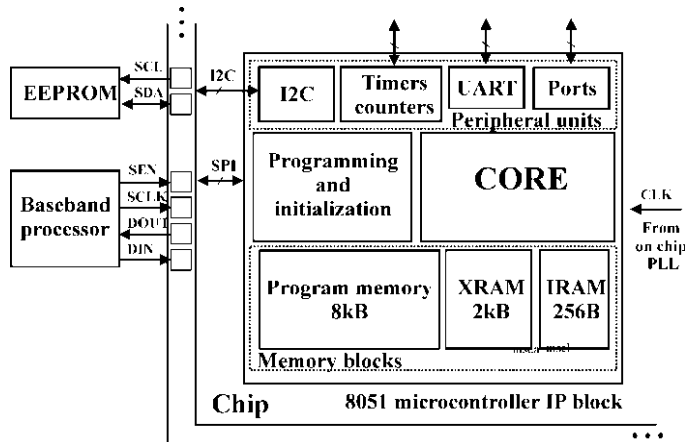
- dodavanje novih perifernijskih jedinica,
- zamenu memorijskih blokova,
- implementaciju novih metoda za programiranje i inicijalizaciju čipa.

Globalni plan novog 8051 mikrokontrolera je prikazan na Slici 2. Sastoji se od jezgra, memorijskih blokova, perifernijskih jedinica i bloka za programiranje i inicijalizaciju programskog kôda.

Ugradnja u SoC zahteva tri digitalna ulazno/izlazna paralelna porta, tri kola tajmera/brojača i nekoliko komunikacionih modula. U odnosu na rešenje [8], pored postojećeg UART bloka, implementirani su i ugrađeni u MCU novi komunikacioni moduli:

- Inter-integrated circuit (I2C) bloka i
- Serial protocol interface (SPI) bloka.

8051 mikrokontroler ima odvojene memorije za podatke i programski kôd. Programska memorija je kapaciteta 8 kB. Pored nje, koriste se još i interna memorija za podatke – *Internal RAM* (IRAM) kapaciteta 256 B i eksterna memorija *External RAM* (XRAM), koja je kapaciteta 2 kB. Mikrokontroler poseduje još i skup specijalnih funkcijskih registara (*Special function register* -SFR) koji se realizuju D flip-flopovima.



Sl. 2. Globalna šema IP bloka mikrokontrolera

U cilju implementiranja čipa metodom standardnih ćelija, u mikrokontroler su ugrađeni novi SRAM blokovi. Naime, umesto ROM memorije, koja se koristi za smeštanje programskog kôda u početnoj (FPGA) verziji mikrokontrolera, nova verzija koristi SRAM memoriju, koja je napravljena od dva ASIC bloka kapaciteta po 4 kB. Memorijski blokovi za podatke – IRAM i XRAM sačinjeni su takođe od ASIC SRAM blokova. Umesto spoljašnje XRAM memorije, nova XRAM memorija je integrisana na čipu. U početnoj verziji IRAM se implementira od D flip-flova, dok je IRAM u novoj arhitekturi realizovan ASIC blokom, što značajno smanjuje površinu čipa i potrošnju.

Da bi se dalje smanjila cena fabrikacije SoC čipa, odlučeno je da IP blok mikrokontrolera ne koristi integrisanu EEPROM memoriju za trajno čuvanje programskog kôda. Umesto toga, koristi integrisanu SRAM memoriju i jedan

spoljašnji EEPROM čip, koji je povezan sa mikrokontrolerom preko I2C serijske magistrale.

U cilju implementacije novih metoda za programiranje i inicijalizaciju čipa, kreiran je novi blok za programiranje i inicijalizaciju programskog kôda (*Programming and initialization block- PIB*) koji je prikazan na Slici 2.

Blok PIB upravlja operacijom programiranja i inicijalizacije programske SRAM memorije iz spoljašnje EEPROM memorije. Svaki put nakon resetovanja, kada se kôd čita kroz serijski I2C interfejs i smešta u SRAM programsku memoriju, programska SRAM se kompletno inicijalizuje sadržajem EEPROM-a. MCU prihvata programski kôd kroz SPI interfejs i smešta programski kôd u obe memorije - integrisanu programsku SRAM memoriju i eksterni EEPROM čip.

Jezgro (CORE) obavlja operacije pribavljanja, dekodiranja i izvršavanja instrukcija. Sastoji se iz skupa logičkih blokova, aritmetičko-logičke jedinice (ALU) i SFR registara. Jedan od parametara, koji karakteriše brzinu mikrokontrolera jeste broj taktova po instrukciji (*Clocks per instruction* ili CPI faktor). Za optimizovani 8051 mikrokontroler CPI je jednak jednoj jednobajtnoj instrukciji koja se izvršava u dva takta ciklusa.

4. METODE OPTIMIZACIJE DINAMIČKE POTROŠNJE I REZULTATI IMPLEMENTACIJE

Nakon opisanih izmena u arhitekturi MCU-a koje se sprovedu u cilju ugradnje IP bloka u ASIC kolo, funkcija mikrokontrolera je u potpunosti ostala očuvana u smi u da ispunjava osnovne projektne specifikacije čipa u koji se MCU ugrađuje. Međutim, sa stanovišta potrošnje mikrokontroler nije optimizovan. Problem prvo predstavlja uvećana dinamička potrošnja, koja nastaje disipacijom stabla taktog signala i podblokova jezgra.

Dalje modifikacije RTL opisa MCU-a su sprovedene na nivou kola i utiču na smanjenje dinamičke komponente snage disipacije. Postupak projektovanja za malu dinamičku potrošnju prikazan je na Sl. 3. Postupak projektovanja sastoji se od zadavanja specifikacija, postupka opisivanja kola na RTL nivou, postupaka sinteze i implementacije layout-a kola.

MCU specifications		Low power techniques	
Embedded software development	Hardware development		
		RTL core	RTL peripherals
RTL level verification		Optimization of combinatorial logic blocks	
Synthesis			
Implementation			
Design verification			

Sl. 3. Koraci u postupku projektovanja kola

Korišćene su sledeće tehnike projektovanja za malu potrošnju tokom RTL opisivanja i sinteze kola:

- gejtovanje signala takta [9],
- gejtovanje magistrala podataka,
- podela kontrolne logike na više manjih blokova i
- optimizacija kombinacionih logičkih blokova tokom postupka sinteze kola.

Mikrokontroler je implementiran korišćenjem dva tehnološka procesa:

- AMIS 350 nm [10] i

- Synopsys 90 nm [11]

Procesi koriste različite napone napajanja; u tehnologiji 350 nm koristi se napon od 3,3 V dok proces 90 nm koristi napon od 1,2 V. S obzirom da je 350 nm tehnologija najstarija, površina koju kolo zauzima je očekivano najveća a maksimalna taktna frekvencija je najmanja. Rezultati implementacije dobijeni u procesu 90 nm su značajno povoljniji.

Korišćeni su alati za projektovanje različitih proizvođača. Za tehnološki proces 350 nm korišćeni su Cadence alati za projekovanje, dok je za proces 90nm korišćen Synopsys. U oba rešenja, potrošnja se određuje nakon implementacije layout-a i sprovedenog postupka logičke verifikacije. Rezultati vezani za procenu potrošnje su precizni jer su dobijeni na osnovu konkretnog rasporeda ćelija i veza. Na kraju postupka implementacije *layout-a*, izdvojena je netlista standardnih ćelija i određene su vrednosti kašnjenja na svim vezama. Vrednosti kašnjenja se dobijaju na osnovu parazitskih kapacitivnosti i otpornosti veza, kao i modela potrošnje ćelija, koje su definisane u tehnološkim bibliotekama.

Netlista ćelija i vrednosti kašnjenja na vezama su neophodne za postupak logičke provere. Pored njih, koristi se još i mašinski programski kôd, dobijen kompajliranjem asemblerskog 8051 programa. Programski kôd i ulazni signali mikrokontrolera su sastavni delovi *Testbench* programa za testiranje. Testbench program simulira rad mikrokontrolera tokom izvršavanja različitih programa i tada se snima kompletna promena logičkih stanja na svim vezama *layout-a*. Kompletna aktivnost kola bitna za određivanje statičke i dinamičke potrošnje snima se u *Value charge dump* (VCD) fajl.

Nakon simulacije rada kola, VCD fajl se učitava u alat za implementaciju layout-a, koji generiše precizne rezultate o potrošnji za sve ćelije i memorijske blokove. Rezultati statičke i dinamičke potrošnje se onda grupišu za pojedine blokove.

Vrednost dinamičke komponente snage, za MCU jezgro koje je implementirano u 350 nm procesu, iznosi 7,88 mW pri frekvenciji takta od 4,194 MHz. Statička snaga je zanemarljivo mala u odnosu na dinamičku snagu. Kada se primene tehnike za smanjenje dinamičke snage, koje se zasnivaju na optimizaciji arhitekture i gejtovanju taktog signala, ukupna snaga se smanjuje na 3,930 mW. Ušteda u dinamičkoj potrošnji iznosi čak 50,1%.

Dobijene su informacije o energetskom budžetu kola i identifikovane su komponente sa uvećanom potrošnjom koje su ponovo optimizovane.

Korišćena su tri testna programa (TP). TP1 se sastoji od raznovrsnih asemblerskih instrukcija koje uključuju aritmetičke, logičke instrukcije, instrukcije prenosa podataka i grananja. TP2 se sastoji iz NOP instrukcija, dok TP3 sadrži aritmetičke instrukcije. Sprovedena analiza snage je pokazala da se tokom izvršavanja programa TP1 samo 10,7 % snage troši na operacije u ALU jedinici, a čak 89,3% u kombinacionim blokovima za dekodiranje instrukcija i za prenos podataka između ALU, registara i memorija. Maksimalna potrošnja je u primeru programa TP3 gde ALU jedinica troši 20,4% ukupne energije.

Simulacije kola su potvrdile značaj sprovedenih optimizacija:

- stvaranje posebnih magistrala SFR registara umesto korišćenja magistrala opšte namene,
- implementacije nove kontrolne logike koja sprečava nepotrebne promene stanja na magistralama podataka i adresnim magistralama koje imaju značajno kapacitivno opterećenje
- podele kontrolne logike na manje blokove.

Promenom tehnološkog procesa iz 350 nm u 90 nm pojavio se problem velike struje curenja. U 90 nm implementaciji, u primenama koje ne zahtevaju veliku količinu obrađenih podataka, statička snaga je dominantna nad dinamičkom snagom. Na primer, ukupna potrošnja kola iznosi 0,6286 mW na frekvenciji od 4,194 MHz. Statička snaga iznosi 0,3712 mW i čini 59,1% ukupne snage. Rezultati se odnose na jezgro mikrokontrolera i ne obuhvataju potrošnju RAM memorija.

Upoređeni su rezultati upotrebe tehnika za optimizaciju dinamičke snage kola. Rezultati su dobijeni korišćenjem dva procesa 350 nm i 90 nm. Simulirana dinamička snaga neoptimizovanog 90 nm rešenja je 0,5064 mW na taktnoj frekvenciji od 4,194MHz. Dinamička snaga optimizovanog rešenja iznosi 0,2574 mW. Dakle, u procesu 90 nm ostvaruje se smanjenje dinamičke snage od 49,2%. Ovaj rezultat je vrlo blizak vrednosti 50,1%, koja se dobija za 350 nm proces i ukazuje da se sa skaliranjem tehnološkog procesa ne menja stepen uštede u dinamičkoj potrošnji kada se isti optimizacioni postupci primenjuju u različitim procesima.

Promena tehnologije iz 350 nm do 90 nm smanjuje dinamičku snagu od vrednosti 3,930 mW na 0,2574 mW, što je smanjenje od 15,2 puta. S obzirom na to da postoje četiri tehnološka procesa između 350 nm i 90 nm, rezultati se slažu sa zaključkom iz [12] da se dinamička potrošnja približno smanjuje faktorom 0,5 pri promeni jedne generacije tehnološkog procesa. Maksimalna taktna frekvencija kola u 90 nm implementaciji je 60 MHz dok je odgovarajuća vrednost dinamičke potrošnje 7,9 mW.

5. ZAKLJUČAK

U radu je posebno analizirana dinamička potrošnja mikrokontrolera. Postupak optimizacije dinamičke potrošnje je sproveden na nivou arhitekture i na RTL nivou. Koriste se još tehnike gejtovanja taktnog signala i gejtovanja podataka. Jedan od doprinosa rada jeste razmatranje uticaja promene tehnološkog procesa na uštedu energije koja se dobija primenom tehnika za minimizaciju dinamičke snage. U tehnologiji CMOS 350 nm, nakon primene tehnika, ušteda u dinamičkoj potrošnji iznosi 50,1%. Kada se primene isti postupci za kolo implementirano u procesu 90 nm, dobija se ušteda od 49,1%. Može se izvesti zaključak da ušteda dinamičke potrošnje, sračunata u odnosu na potrošnju početnog - neoptimizovanog kola, ne zavisi od odabranog tehnološkog procesa. Osim toga, rezultati iz dva različita tehnološka procesa potvrđuju da se sa promenom jedne generacije procesa dinamička potrošnja smanjuje približno za 50%, što se poklapa sa zaključcima koji se mogu naći i u literaturi.

6. LITERATURA

- [1] J. Borgeson, S. Schauer and H. Diewald „Benchmarking MCU power consumption for ultra-low-power applications,“ Working paper, Texas Instruments, 2012
- [2] K. Mikhaylov and J. Tervonen, „Optimization of microcontroller hardware parameters for Wireless Sensor Network node power consumption and lifetime improvement,“ *Proc. of Int. Congress on Ultra Modern Telecommunications and Control Systems and Workshops (ICUMT)*, Moscow, Russia, 2010, pp. 1150-1156, IEEE, 2010
- [3] B. Jovanović, M. Damnjanović and P. Petković, „Digital Signal Processing for an Integrated Power Meter,“ *Proc. of 49. Internationales Wissenschaftliches Kolloquium*, Technische Universitat Ilmenau Germany, Vol. 2, pp.190-195, September 27-30, 2004.
- [4] P. Bipul, A. Agarwal and K. Roy, „Low-Power Design Techniques for Scaled Technologies,“ *Integration, The VLSI Journal*, Vol. 39, Issue 2, pp. 64–89, 2006.
- [5] V. Litovski, „Projektovanje elektroničkih kola,“ Udžbenik, Niš, March, 2000, ISBN 86-7369-015-3
- [6] M. Keating, D. Flynn, R. Aitken, A. Gibbons, K. Shi, „Low Power Methodology Manual, Springer, 2007.
- [7] LIME MICROSYSTEMS, <http://www.limemicro.com/products/field-programmable-rf-ics-lms7002m/>
- [8] A. Voggeneder, T51 MCU project (2012), <http://opencores.com/project,t51>
- [9] L. Benini, P. Siegel and G. D. Micheli, „Automatic Synthesis of Gated Clocks for Power Reduction in Sequential Circuits,“ *IEEE Design and Test of Computers*, Vol. 11, No. 4, pp. 32-40, 1994
- [10] AMIS, 350nm Standard cell technology library, 1998.
- [11] Synopsys, Synopsys 90nm Generic Library for Teaching IC Design, 2009
- [12] M. Hempstead, G. Y. Wei, D. Brooks, „Architecture and Circuits Techniques for Low Throughput, Energy-Constrained Systems Across Technology Generations,“ *Proc. of Int. Conference on Compilers, Architecture, and Synthesis for Embedded Systems (CASES 06)*, Oct. 23-25, 2006, pp. 368-378, IEEE, 2006

Abstract – Advanced methods for digital circuit design, based on modern nanoscale technologies, are applied to a novel SoC microcontroller design with the industry standard 8051 instruction set.

MINIMIZATION OF MICROCONTROLLER IP BLOCK DYNAMIC POWER CONSUMPTION

Borisav Jovanović, Predrag Petković, Milunka Damnjanović, Vančo Litovski